

PAT-NO: JP02000049230A

DOCUMENT-IDENTIFIER: JP 2000049230 A

TITLE: MULTILAYER WIRING STRUCTURE OF
SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF

PUBN-DATE: February 18, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
DOMAE, SHINICHI	N/A
MASUDA, YOJI	N/A
KATO, YOSHIAKI	N/A
YANO, KOSAKU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRON CORP	N/A

APPL-NO: JP11218505

APPL-DATE: October 1, 1998

INT-CL (IPC): H01L021/768, H01L021/285 , H01L021/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the degradation of wiring reliability attributable to stress in a region between the upper layer side plug and the lower layer side plug in a multilayer wiring structure of a semiconductor device, having a stack structure.

SOLUTION: In a multilayer wiring structure where a resistance variation

occurs after being maintained at a high temperature for a long time, a void 40 was observed in a wiring 4 interposed between the upper layer side plug 3 and the lower layer side plug 6. Portion 43, 44 interposed between the upper layer side plug 3, and the lower layer side plug 6 have smaller crystal grains in size than those in other regions and a planar orientation different from other regions. Therefore, to increase the wiring reliability, the contact surface of the upper layer side plug, and the wiring and that of the lower layer surface side plug and the wiring are off-centered to reduce stress imposed on the wiring. When the aluminum or aluminum alloy layer of the wiring is formed, the sputtering temperature is set so that the region sandwiched between the upper layer side plug and the lower layer side plug does not have crystal grain boundaries.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49230

(P2000-49230A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 21/768		H 0 1 L 21/90	C
21/285	3 0 1	21/285	3 0 1 R
21/3205		21/88	B
			R
			N
審査請求 未請求 請求項の数 8 O L (全 13 頁)			

(21) 出願番号 特願平11-218505
(62) 分割の表示 特願平10-280141の分割
(22) 出願日 平成10年10月1日 (1998.10.1)

(31) 優先権主張番号 特願平9-348965
(32) 優先日 平成9年12月18日 (1997.12.18)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号
(72) 発明者 堂前 伸一
大阪府高槻市幸町1番1号 松下電子工業株式会社内
(72) 発明者 益田 洋司
大阪府高槻市幸町1番1号 松下電子工業株式会社内
(74) 代理人 100077931
弁理士 前田 弘 (外1名)

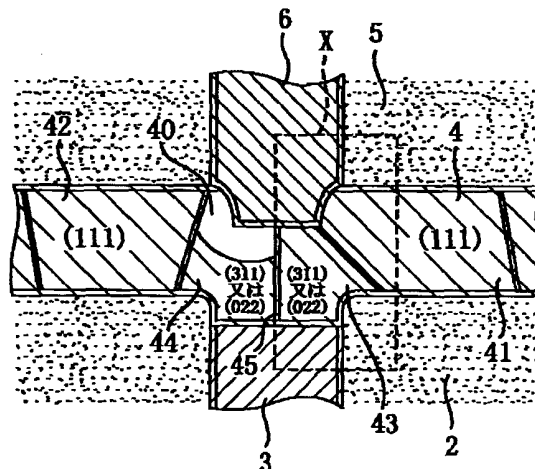
最終頁に続く

(54) 【発明の名称】 半導体装置の多層配線構造およびその製造方法

(57) 【要約】

【課題】 スタック構造を有する半導体装置の多層配線構造において、上層側プラグと下層側プラグとに挟まれた領域における応力に起因する配線の信頼性の低下を抑える。

【解決手段】 高温で長時間保存されて抵抗変動が生じた多層配線構造において、上層側プラグと下層側プラグとによって挟まれた配線4内にボイド40が観察された。上層側および下層側プラグ3、6に挟まれた部分43、44は他の部分よりも結晶粒のサイズが小さく、面方位も他の部分と異なった。このため、配線の信頼性を高めるために、上層側プラグと配線との接触面および下層側プラグと配線との接触面の中心をずらして配線にかかる応力を小さくしたり、配線のアルミニウムまたはアルミニウム合金の層を形成するときに、スパッタリングの温度を、上層側および下層側プラグに挟まれた領域に結晶粒界が生じないように設定する。



【特許請求の範囲】

【請求項1】 基板と、この基板上に形成された2層以上の配線層と、
前記2層以上の配線層のうちの一の配線層に形成された配線とその上層配線とを電氣的に接続する上層側プラグと、

前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電氣的に接続する下層側プラグとを備え、

前記配線は、相対向する前記上層側および下層側プラグに挟まれた領域に、結晶粒界を有しないように構成した

半導体装置の多層配線構造。

【請求項2】 基板と、この基板上に形成された2層以上の配線層と、
前記2層以上の配線層のうちの一の配線層に形成された配線とその上層配線とを電氣的に接続する上層側プラグと、

前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電氣的に接続する下層側プラグとを備え、

前記一の配線層の上面に、前記上層側プラグが接触する陥没部が形成されており、この陥没部の前記一の配線層の上面から陥没する深さは、前記上層側および下層側プラグの径のほぼ1/3以下に設定されている半導体装置の多層配線構造。

【請求項3】 基板と、この基板上に形成された2層以上の配線層と、
前記2層以上の配線層のうちの一の配線層に形成された配線とその上層配線とを電氣的に接続する上層側プラグと、

前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電氣的に接続する下層側プラグとを備え、
前記配線と、前記上層側および下層側プラグのうちの少なくとも一方との、材料の熱膨張係数の差は、前記配線の前記上層側および下層側プラグに挟まれた領域にボイドが生じない程度に小さくしていることを特徴とする半導体装置の多層配線構造。

【請求項4】 請求項3記載の半導体装置の多層配線構造において、
前記配線と、前記上層側および下層側プラグのうちの少なくとも一方とは、同一材料によって形成されていることを特徴とする半導体装置の多層配線構造。

【請求項5】 請求項4記載の半導体装置の多層配線構造において、
前記配線と、前記上層側および下層側プラグのうちの少なくとも一方とは、ともに、アルミニウムもしくはアルミニウム合金からなるか、または、アルミニウムもしくはアルミニウム合金と、高融点金属、高融点金属合金もしくはこれらの複合層との積層構造からなることを特徴

とする半導体装置の多層配線構造。

【請求項6】 基板と、この基板上に形成された2層以上の配線層と、
前記2層以上の配線層のうちの一の配線層に形成された配線とその上層配線とを電氣的に接続する上層側プラグと、

前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電氣的に接続する下層側プラグとを備え、
前記一の配線層は、その下面側に高融点金属膜が形成されており、この高融点金属膜の膜厚は、10nm以下または80nm以上に設定されていることを特徴とする半導体装置の多層配線構造。

【請求項7】 基板上に形成された第1の絶縁膜に第1の開口部を形成し、この第1の開口部に下層側プラグを形成する工程と、
前記第1の絶縁膜および下層側プラグ上に配線を形成する工程と、
前記配線の上に第2の絶縁膜を形成し、この第2の絶縁膜に、前記第1の開口部に対向する第2の開口部を形成し、この第2の開口部に上層側プラグを形成する工程とを備え、
前記下層側プラグ形成工程は、CMP法またはエッチバック法を用いて、前記下層側プラグの上面と前記第1の絶縁膜の上面との距離が、前記上層側および下層側プラグの径のほぼ1/3以下になるように行う半導体装置の多層配線構造の製造方法。

【請求項8】 基板上に形成された第1の絶縁膜に第1の開口部を形成し、この第1の開口部に下層側プラグを形成する工程と、
前記第1の絶縁膜および下層側プラグ上に、少なくともアルミニウムまたはアルミニウム合金からなる層を有する配線を形成する工程と、
前記配線の上に第2の絶縁膜を形成し、この第2の絶縁膜に、前記第1の開口部に対向する第2の開口部を形成し、この第2の開口部に上層側プラグを形成する工程とを備え、
前記配線形成工程は、前記配線が、相対向する前記上層側および下層側プラグに挟まれた領域に結晶粒界を有しないように、前記配線のアルミニウムまたはアルミニウム合金の層を、スパッタリングによって、ほぼ200℃以上の堆積温度において形成する半導体装置の多層配線構造の製造方法。

【請求項9】 請求項8記載の半導体装置の多層配線構造において、
前記配線形成工程は、前記配線が、相対向する前記上層側および下層側プラグに挟まれた領域に結晶粒界を有しないように、前記配線のアルミニウムまたはアルミニウム合金の層を、スパッタリングによって、ほぼ200℃以上の堆積温度において形成する半導体装置の多層配線構造の製造方法。

【請求項10】 請求項8記載の半導体装置の多層配線構造において、
前記配線形成工程は、前記配線が、相対向する前記上層側および下層側プラグに挟まれた領域に結晶粒界を有しないように、前記配線のアルミニウムまたはアルミニウム合金の層を、スパッタリングによって、ほぼ200℃以上の堆積温度において形成する半導体装置の多層配線構造の製造方法。

【請求項11】 請求項8記載の半導体装置の多層配線構造において、
前記配線形成工程は、前記配線が、相対向する前記上層側および下層側プラグに挟まれた領域に結晶粒界を有しないように、前記配線のアルミニウムまたはアルミニウム合金の層を、スパッタリングによって、ほぼ200℃以上の堆積温度において形成する半導体装置の多層配線構造の製造方法。

【請求項12】 請求項8記載の半導体装置の多層配線構造において、
前記配線形成工程は、前記配線が、相対向する前記上層側および下層側プラグに挟まれた領域に結晶粒界を有しないように、前記配線のアルミニウムまたはアルミニウム合金の層を、スパッタリングによって、ほぼ200℃以上の堆積温度において形成する半導体装置の多層配線構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の多層配線構造およびその製造方法に関するものである。

【0002】

【従来の技術】近年、超LSIにおける配線の微細化に起因して、配線の信頼性の低下という問題が生じてい

る。特に、配線の多層化の進展により、例えばW（タングステン）やTiNなどの高融点金属やその化合物からなるプラグが配線の上面および下面に配線を挟んで相対向して設けられた構造、いわゆるスタック構造が、多層配線構造において用いられているが、このスタック構造において、プラグに挟まれた部分の配線が、信頼性が低いという問題がある。

【0003】配線の信頼性を高める方法としては、例えば、第1の従来例として、保護膜からの応力によって配線が断線するというストレスマイグレーションを防ぐために、電流の大半が流れる領域にグレインサイズの大きな配線層を形成する一方、配線の周囲（特に側壁部や上端部）などのストレスが比較的小さい位置にグレインサイズの小さな配線層を形成することが行われている（特開平5-275426号公報参照）。

【0004】また、第2の従来例として、スタック構造において、配線の幅を下層側接続孔の幅よりも狭くし、かつ、上層側接続孔の底部を下層側接続孔まで延在させて、配線を囲むようにして補強することが提案されている（特開平8-167609号公報参照）。

【0005】

【発明が解決しようとする課題】しかしながら、第1の従来例では、グレインサイズの大きな配線層の側壁にグレインサイズの小さな配線層を形成して配線を形成するため、配線の幅が大きくなりすぎてしまい、微細化には向かない。

【0006】また、第2の従来例では、まず、上層側および下層側接続孔の幅が配線の幅よりも大きいことが不可欠であるため、これもまた、微細化には向かない。さらに、配線が、高融点金属やその化合物によって囲まれることになるが、配線の周囲の高融点金属やその化合物による応力については、何ら考慮がなされていない。

【0007】前記の問題に鑑み、本発明は、スタック構造を有する半導体装置の多層配線構造において、配線の信頼性の低下、特に、上層側プラグと下層側プラグとに挟まれた領域における応力に起因する配線の信頼性の低下を、抑えることを課題とする。

【0008】

【課題を解決するための手段】前記の課題を解決するために、請求項1の発明が講じた解決手段は、半導体装置の多層配線構造として、基板と、この基板上に形成された2層以上の配線層と、前記2層以上の配線層のうちの1の配線層に形成された配線とその上層配線とを電気的に接続する上層側プラグと、前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、前記配線は、相対向する前記上層側および下層側プラグに挟まれた領域に、結晶粒界を有しないように構成したものである。

【0009】また、請求項2の発明が講じた解決手段

は、半導体装置の多層配線構造として、基板と、この基板上に形成された2層以上の配線層と、前記2層以上の配線層のうちの1の配線層に形成された配線とその上層配線とを電気的に接続する上層側プラグと、前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、前記1の配線層の上面に、前記上層側プラグが接触する陥没部が形成されており、この陥没部の前記1の配線層の上面から陥没する深さは、前記上層側および下層側プラグの径のほぼ1/3以下に設定されているものである。

【0010】また、請求項3の発明が講じた解決手段は、基板と、この基板上に形成された2層以上の配線層と、前記2層以上の配線層のうちの1の配線層に形成された配線とその上層配線とを電気的に接続する上層側プラグと、前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、前記配線と、前記上層側および下層側プラグのうちの少なくとも一方との、材料の熱膨張係数の差は、前記配線の前記上層側および下層側プラグに挟まれた領域にボイドが生じない程度に小さくしているものである。

【0011】そして、請求項4の発明では、前記請求項3の半導体装置の多層配線構造における配線と上層側および下層側プラグのうちの少なくとも一方とは、同一材料によって形成されているものとする。

【0012】さらに、請求項5の発明では、前記請求項4の半導体装置の多層配線構造における配線と上層側および下層側プラグのうちの少なくとも一方とは、ともに、アルミニウムもしくはアルミニウム合金からなるか、または、アルミニウムもしくはアルミニウム合金と、高融点金属、高融点金属合金もしくはこれらの複合層との積層構造からなるものとする。

【0013】また、請求項6の発明が講じた解決手段は、半導体装置の多層配線構造として、基板と、この基板上に形成された2層以上の配線層と、前記2層以上の配線層のうちの1の配線層に形成された配線とその上層配線とを電気的に接続する上層側プラグと、前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、前記1の配線層は、その下面側に高融点金属膜が形成されており、この高融点金属膜の膜厚は、10nm以下または80nm以上に設定されているものである。

【0014】また、請求項7の発明が講じた解決手段は、半導体装置の多層配線構造の製造方法として、基板上に形成された第1の絶縁膜に第1の開口部を形成し、この第1の開口部に下層側プラグを形成する工程と、前記第1の絶縁膜および下層側プラグ上に配線を形成する工程と、前記配線上に第2の絶縁膜を形成し、この第2

10

20

30

40

50

の絶縁膜に、前記第1の開口部に対向する第2の開口部を形成し、この第2の開口部に上層側プラグを形成する工程とを備え、前記下層側プラグ形成工程は、CMP法またはエッチバック法を用いて、前記下層側プラグの上面と前記第1の絶縁膜の上面との距離が、前記上層側および下層側プラグの径のほぼ1/3以下になるように行うものである。

【0015】また、請求項8の発明が講じた解決手段は、半導体装置の多層配線構造の製造方法として、基板上に形成された第1の絶縁膜に第1の開口部を形成し、この第1の開口部に下層側プラグを形成する工程と、前記第1の絶縁膜および下層側プラグ上に、少なくともアルミニウムまたはアルミニウム合金からなる層を有する配線を形成する工程と、前記配線の上に第2の絶縁膜を形成し、この第2の絶縁膜に、前記第1の開口部に対向する第2の開口部を形成し、この第2の開口部に上層側プラグを形成する工程とを備え、前記配線形成工程は、前記配線が、相対向する前記上層側および下層側プラグに挟まれた領域に結晶粒界を有しないように、前記配線のアルミニウムまたはアルミニウム合金の層を、スパッタリングによって、ほぼ200℃以上の堆積温度において形成するものである。

【0016】

【発明の実施の形態】図1は半導体装置の多層配線構造におけるスタック構造の影響を電氣的に検知するための試料の構造を示す図である。

【0017】図1(a)はこの試料の断面図である。図1(a)において、1は半導体基板、2は第1の絶縁膜、3はTiとTiNとの2層膜上に形成されたW(タングステン)からなるコンタクト埋込み金属(下層側プラグ)、4はTiとTiNとの2層膜上に形成され、かつ、その上層にTiN膜を有する、Cuを含有したAl合金からなる第1の配線、5は第2の絶縁膜、6はコンタクト埋込み金属3と同様の金属構成からなるスルーホール埋込み金属(上層側プラグ)、7は第1の配線4と同様の金属膜構成からなる上層配線としての第2の配線、8は保護膜としてのシリコン窒化膜、9はLSIチップコートのポリイミド膜である。

【0018】図1(b)は図1(a)の試料のうち、第1の配線4並びにその上下に接続されたコンタクト埋込み金属3およびスルーホール埋込み金属6を含む部分の斜視図である。この試料では、第1の配線4の配線長は31mmであり、コンタクトホールとスルーホールはそれぞれ1000個ずつ設けられている。各試料の第1の配線4の配線幅は0.4μm~1.0μmの種々のサイズであり、コンタクトホールとスルーホールの直径は配線幅と等しい。

【0019】第1の配線4の両端に設けられたパッド部4A、4Bの間で電圧・電流特性を測定する。この電圧・電流特性の測定は、上下にコンタクトホール埋込み金

属3およびスルーホール埋込み金属6を有する第1の配線4の抵抗値を測定することに相当する。というのは、コンタクト埋込み金属3と電氣的に接続された半導体基板1はSiからなるため、金属からなる第1の配線4に比して抵抗値が高く、また、スルーホール埋込み金属6と電氣的に接続された第2の配線7はその配線層においてそれぞれが電氣的に独立した構造であるからである。

【0020】図2は図1に示す試料に対して、250℃近辺の高温保存の前後において、パッド部4A、4B間の電圧・電流特性、すなわち、第1の配線4の抵抗の変化を測定した結果を示す図である。同図中、(a)は試料を250℃で保存した時間と配線の不良率との関係を表すグラフであり、縦軸は不良率(%)、横軸は250℃での保存時間(h)である。ここでは、抵抗変動が20%を越えた配線を不良と判定して、その不良率を求めている。また、(b)は試料を250℃で1000時間保存した後の、配線幅とその抵抗変動との関係を表すグラフであり、縦軸は抵抗変動(%)、横軸は配線幅(μm)である。

【0021】図3は図1に示す試料に対して、保存温度と累積故障率が0.1%になるまでの時間すなわち累積故障到達時間との関係を示すグラフである。ここでは、図2と同様に、抵抗変動が20%を越えた配線を不良と判定している。縦軸は累積故障到達時間(h)、横軸は1000/保存温度(1/K)である。図3は保存温度が250℃付近のとき、累積故障到達時間が最も小さくなることを示している。図3から、この配線の抵抗変動は、ストレスによるAl合金のマイグレーションによる不良、いわゆるストレスマイグレーション不良に起因するものであることがわかる。

【0022】図4は配線構造と良品率との関係を示す図である。図4は、図1に示すような相対向する上層側プラグおよび下層側プラグが形成された配線構造Aと、下層側プラグのみが形成された配線構造Bと、上層側プラグのみが形成された配線構造Cとの3種類の配線構造に対して、200℃において1000時間保存した後における良品率を示している。ここでも、抵抗変動が20%を越えた配線を不良と判定して良品率を求めている。図4から、本発明の解決課題は、相対向する上層側プラグおよび下層側プラグが形成された配線構造に特徴的な問題であることがわかる。

【0023】図5は図1に示すような相対向する上層側プラグおよび下層側プラグが形成された配線構造であって、200℃において1000時間保存した後に抵抗変動が20%を超えたものを、透過型電子顕微鏡によって観察した結果を示す断面図である。図5では、第1の配線4のAl合金の結晶性をX線回折によって測定した結果も併せて示している。

【0024】図5に示すように、下層側プラグとしてのコンタクトホール埋込み金属3と上層側プラグとしての

スルーホール埋込み金属6とによって挟まれた第1の配線4内に、ボイド40が観察された。また、第1の絶縁膜2と第2の絶縁膜5とに挟まれた配線部分41、42におけるAl合金の面方位は(111)であるのに対し、コンタクトホール埋込み金属3とスルーホール埋込み金属6とによって挟まれた配線部分43、44におけるAl合金の面方位は(311)または(022)であった。さらに、コンタクトホール埋込み金属3とスルーホール埋込み金属6とによって挟まれた領域には結晶粒界45があり、これにより、配線部分43、44の結晶粒のサイズは、配線部分41、42における結晶粒よりも小さい。

【0025】図6は図5の配線構造において、コンタクトホール埋込み金属3とスルーホール埋込み金属6とによって挟まれた部分のうち右半分の領域Xについて、温度を400℃から25℃に変化させたときに生じる内部応力を、有限要素法によってシミュレーションした結果を示す図である。

【0026】第1の配線4の平坦な部分にかかる応力は200~300MPa(メガパスカル)である。これに対して、スルーホール埋込み金属6が第1の配線4に進入した部分に生じる応力ははるかに高く、コンタクト埋込み金属3の上面が第1の絶縁膜2の上面よりも下にある場合(図6(a))は457MPaであり、コンタクト埋込み金属3の上面が第1の絶縁膜2の上面と面一の場合(図6(b))は449MPaであった。

【0027】これらの実験およびシミュレーションから、本発明に係る半導体装置の多層配線構造におけるストレスマイグレーション不良は、次のような要因によって生じるものと考えられる。すなわち、(1)上層側プラグと下層側プラグとによって挟まれた配線部分において、(2)特に、上層側プラグが配線に進入した構造の場合に強い応力がかかり、(3)この配線部分の結晶粒が小さいこと、および、結晶面方位が(311)や(022)といった応力に対して弱い面方位であることに起因して、高温保存を行うとストレスマイグレーションが生じる、と想定される。

【0028】以下、本発明の実施形態について、図面を参照して説明する。

【0029】(第1の実施形態)本発明の第1の実施形態は、相対向する上層側プラグおよび下層側プラグを有する配線構造に対して、基板面の垂線方向からみたときの上層側プラグと下層側プラグとの重なり度合を小さくして、配線にかかる応力を小さくするものである。

【0030】図7は相対向する上層側プラグおよび下層側プラグを有する配線構造において、上層側プラグと下層側プラグの重なり度合と良品率との関係を示す図である。ここでは、上層側および下層側プラグの径は0.6μmとし、重なり度合を0.6μm、0.3μm、0.2μmと変化させて(すなわち、基板面の垂線方向から

みたときの、上層側プラグと配線との接触面の中心と、下層側プラグと配線との接触面の中心との間の距離を、0μm、0.3μm、0.4μmと変化させて)いる。また、良品率は、この配線を200℃において1000時間保存したとき、抵抗変動が20%を越えたものを不良と判定して、求めている。

【0031】図7に示すように、重なり度合が0.2μmのときに良品率が100%になり、重なり度合を0.2μm以下にするとストレスマイグレーション不良が生じないことが分かった。したがって、上層側プラグと配線との接触面および下層側プラグと配線との接触面の中心間の距離を0.4μm以上、すなわち、上層側および下層側プラグの径のほぼ2/3以上にすることによって、ストレスマイグレーション不良が生じにくい、良好な多層配線構造を形成することができる。

【0032】(第2の実施形態)図8(a)は本発明の第2の実施形態に係る半導体装置の多層配線構造を示す断面図である。

【0033】図8(a)に示す半導体装置の多層配線構造は、次のようにして製造される。まず、半導体基板上の第1の絶縁膜2にドライエッチングによって第1の開口部としてのコンタクト開口部を設け、スパッタ法等によってTiとTiNの2層膜を形成した後に、CVD方法によってWを埋め込む。そして、WおよびTiとTiNの2層膜をエッチバックして、コンタクト開口部にコンタクト埋込み金属3(下層側プラグ)を形成する。その上に、TiとTiNの2層膜を形成し、この2層膜の上にCuを含有したAl合金を形成し、さらにその上にTiN膜を形成して第1の配線4を形成する。第1の配線4の上に第2の絶縁膜5を形成し、第2の開口部としてのスルーホール開口部に、コンタクト埋込み金属3の形成と同様にして、スルーホール埋込み金属6(上層側プラグ)を形成する。

【0034】図8(a)に示す半導体装置の多層配線構造において、下層側プラグ形成のときにWおよびTiとTiNの2層膜をエッチバックする際のオーバーエッチ量を変えて、リセスd1の異なる複数の試料を製造した。リセスd1は、第1の配線4が形成された配線層の下面に形成された、下層側に突出し、コンタクト埋込み金属3が接触する突出部4Hの、この配線層の下面から突出する高さのことである。図8(b)はこれらの試料を250℃において168時間保存したときの不良率を示すグラフである。ここでも、抵抗変動が20%を超えたものを不良と判定して、不良率を求めている。図8(b)において、縦軸は不良率(%)、横軸はリセス(μm)である。また、上層側および下層側プラグの径は0.6μmである。

【0035】図8(b)から明らかなように、リセスd1が0.2μm以下のときは不良率が0%になり、ストレスマイグレーション不良が生じない。不良率測定後の

10

20

30

40

50

試料の断面を走査型電子顕微鏡によって観察すると、次のようなことが分かった。リセスd1が0.2 μ mよりも大きい試料においては、第1の配線4内のコンタクト埋込み金属3上の領域にほぼ必ず結晶粒界が存在した。これに対して、リセスd1が0.2 μ m以下の試料においては、第1の配線4内のコンタクト埋込み金属3上の領域には、結晶粒界はほとんど存在せず、また、この領域の結晶粒の大きさは他の領域とほぼ同じであった。

【0036】このような結果から、リセスd1が0.2 μ mのときに、ストレスマイグレーション不良が生じるか否かの境目と考えられる。したがって、リセスd1を0.2 μ m以下、すなわち、上層側および下層側プラグの径のほぼ1/3以下にすることによって、ストレスマイグレーション不良が生じにくい、良好な多層配線構造を形成することができる。

【0037】なお、コンタクト埋込み金属3およびスルーホール埋込み金属6を形成する際に、ドライエッチングによるエッチバック法を用いる場合を示したが、エッチバック法を用いる場合には、残渣が残るやすいためにオーバーエッチが多くなり、リセスd1が大きくなる傾向がある。これに対して、CMP (Chemical Mechanical Polishing) 法を用いてコンタクト埋込み金属3およびスルーホール埋込み金属6を形成する場合には、リセスd1の寸法を精度よく制御することができる。したがって、本実施形態に係る半導体装置の多層配線構造を確実に形成することができる。

【0038】(第3の実施形態) 図9は本発明の第3の実施形態に係る半導体装置の多層配線構造の製造方法を示す図であり、各工程における構造の断面図である。図9(a)に示すように、半導体基板1上の第1の絶縁膜2に第1の開口部としてのコンタクト開口部2aを形成し、その上に、図9(b)に示すように、TiとTiNの2層膜3a上にW膜3bを形成する。図9(c)に示すように、第1の絶縁膜2上のTiとTiNの2層膜3aおよびW膜3bをエッチングして、コンタクト開口部2aにのみTiとTiNの2層膜3aおよびW膜3bを残し、これによってコンタクト埋込み金属3を形成する。その上に、TiとTiNの2層膜4aを形成し、この2層膜4aの上にCuを含有したAl合金4bを形成し、さらにその上にTiN膜4cを形成して、第1の配線4を形成する。

【0039】Al合金4bはスパッタリングによって形成し、このときの堆積温度は200℃以上とする。200℃以上の温度でAl合金4bを堆積することによって、コンタクト開口部2a上で結晶粒界が生じにくくなる。またAl合金4bは、コンタクト開口部2a上の凹みを埋めるように形成され、コンタクト開口部2a上の部分の厚みが他の部分よりも厚くなる。

【0040】図9(d)に示すように、第1の配線4上に第2の絶縁膜5を形成し、第2の絶縁膜5に第2の開

口部としてのスルーホール開口部5aを設けて、TiとTiNの2層膜6a上にW膜6bを形成する。このとき、スルーホール開口部5aが、第1の絶縁膜2の上面とコンタクト埋込み金属3の上面との段差以上に、第1の配線4内に深く入らないようにする。スルーホール開口部5aをこのように形成することによって、第1の配線4は、コンタクト埋込み金属3上の厚みが他の部分の厚みと同等以上になる。

【0041】次に、図9(e)に示すように、第2の絶縁膜5上のTiとTiNの2層膜6aおよびW膜6bをエッチングして、スルーホール開口部5aにのみTiとTiNの2層膜6aおよびW膜6bを残し、これによってスルーホール埋込み金属6を形成する。その上に、TiとTiNの2層膜7aを形成し、この2層膜7aの上にCuを含有したAl合金7bを形成し、さらにその上にTiN膜7cを形成して、第2の配線7を形成する。図9(f)に示すように、プラズマCVDによって保護膜としてシリコン窒化膜8を形成する。

【0042】このように製造された半導体装置の多層配線構造においては、第1の配線4のAl合金4bは、コンタクト埋込み金属3上の厚みが他の部分の厚みと同等以上になる。そして、第2の実施形態と同様に、第1の配線4のコンタクト埋込み金属3上の領域、すなわち、相対向する上層側および下層側プラグに挟まれた領域のAl合金4bには、結晶粒界はほとんど存在せず、また、この領域の結晶粒の大きさは他の領域とほぼ同じであった。このため、本実施形態に係る構造では、第2の実施形態と同様に、高温保存後のストレスマイグレーション不良による配線抵抗の上昇は見られなかった。

【0043】図10はスパッタリング時の堆積温度と、相対向する上層側および下層側プラグに挟まれた領域における第1の配線4の厚さとの関係を示す図である。図10(a)はこの関係を求めるための実験に用いた試料の断面構造を示す図である。半導体基板1上の0.7 μ m厚の第1の絶縁膜2に、0.6 μ m径のコンタクト開口部を形成し、このコンタクト開口部に、TiとTiNの2層膜上に形成されたWからなるコンタクト埋込み金属3を形成する。第1の配線4の下面とコンタクト埋込み金属3の上面との距離は0.2 μ mである。そしてこの上に、50nm厚のTi膜と、Cuを含有した600nm厚のAl合金と、30nm厚のTiN膜とを形成する。この実験では、Al合金の堆積温度を変えて試料を製造し、その断面をSEM観察して、コンタクト埋込み金属3上の第1の配線4の陥没部4Iの深さd2を測定した。

【0044】図10(b)はこの実験結果を示すグラフである。第1の配線4のAl合金が、コンタクト開口部上の領域において他の領域と同等以上に厚く形成されるためには、深さd2は0.2 μ m以下である必要がある。このように、陥没部4Iの深さd2を0.2 μ m以

下にすることによって、図6の応力シミュレーションで示したような、上層側プラグが配線層に進入することによって生じる大きな応力を減少させることができる。したがって、深さd2を0.2 μ m以下すなわち上層側および下層側プラグの径のほぼ1/3以下にすることによって、ストレスマイグレーション不良が生じにくい、良好な多層配線構造を形成することができる。図10

(b)から分かるように、深さd2が0.2 μ m以下になるのはAl合金の堆積温度が200℃以上のときである。したがって、配線が、相対向する上層側および下層側プラグに挟まれた領域に結晶粒界を有しないようにするためには、Al合金の堆積温度は200℃以上が好ましいといえる。

【0045】(第4の実施形態)図11は本発明の第4の実施形態に係る半導体装置の多層配線構造の製造方法を示す図であり、各工程における構造の断面図である。図11(a)に示すように、半導体基板1上の第1の絶縁膜2に第1の開口部としてのコンタクト開口部2aを形成する。そして、図11(b)に示すように、Ti膜4dを形成し、その上に、ジメチルアルミハイドライドを原料ガスとして260℃の堆積温度でCVD法によってアルミニウム膜を100nm堆積し、続いてスパッタリングによって、Cuを含有したAl合金を400℃の堆積温度で500nm堆積して、CVDアルミニウムとAl合金の層4eを形成する。さらにその上に、TiN膜4fを形成する。Ti膜4d、CVDアルミニウムとAl合金の層4eおよびTiN膜4fを配線形状に加工して、第1の配線4を設ける。CVD法によってアルミニウム膜を形成するため、コンタクト開口部2aにはアルミニウムが埋込まれるので、コンタクト開口部2a上の第1の配線4は、他の部分と比べて十分に厚くなる。

【0046】図11(c)に示すように、第1の配線4上に第2の絶縁膜5を形成し、第2の絶縁膜5に第2の開口部としてのスルーホール開口部5aを設ける。図11(d)に示すように、Ti膜7d上にCVDアルミニウムとAl合金の層7eを形成し、その上にTiN膜7fを形成し、配線形状に加工して第2の配線7を形成する。次いで、図11(e)に示すように、プラズマCVDによって保護膜としてシリコン窒化膜8を形成する。

【0047】このように製造された半導体装置の多層配線構造においては、第1の配線4と、コンタクト埋込み金属3およびスルーホール埋込み金属6とが、ともに同じAl合金によって形成される。すなわち、配線と、これを挟んで相対向する上層側および下層側プラグとが同一の材料で形成されている。このため、上層側プラグおよび下層側プラグが配線と異なる金属(例えばW)で形成された構造と比べて、上層側および下層側プラグに挟まれた領域にかかる応力は格段に小さくなる。このため、本実施形態に係る構造では、高温保存後のストレスマイグレーション不良による配線抵抗の上昇は見られ

なかった。

【0048】なお、本実施形態では、コンタクト開口部2aやスルーホール開口部5aへのAl合金の埋込みをCVDとスパッタリングによって行ったが、CVDのみによって行ってもよい。また、スパッタリングによってAl合金を形成した後に、加熱や加圧によってAl合金を流動させることによって、埋込みを行ってもよい。

【0049】また、上層側プラグおよび下層側プラグの材料が配線と異なる場合であっても、材料同士の熱膨張係数の差が、高温保存によってボイドが生じない程度に小さいものであれば、ストレスマイグレーション不良は生じない。例えば、Alの熱膨張係数は $23.8 \times 10^{-6}/K$ であるのに対し、Wの熱膨張係数は $4.3 \times 10^{-6}/K$ であり、その差が大きいのでWプラグではストレスマイグレーション不良が生じるが、Ni(熱膨張係数 $13.1 \times 10^{-6}/K$)やCu(熱膨張係数 $16.8 \times 10^{-6}/K$)などをプラグ材として用いることによって、ストレスマイグレーション不良は発生しなくなる。

【0050】また、配線と上層側および下層側プラグのうちのいずれか一方とが、材料の熱膨張係数の差が、高温保存によってボイドが生じない程度に小さいものであってもよい。例えば、下層配線がAl合金からなり、上層配線がCuからなる多層配線構造を形成する場合、配線層間のプラグをWで形成すると、Al配線に熱膨張係数の差によるストレスマイグレーションが発生するが、このプラグ材をNiまたはCuに替えることにより、Al配線のストレスマイグレーション不良を防止することができる。

【0051】(第5の実施形態)図12は本発明の第5の実施形態に係る半導体装置の多層配線構造におけるコンタクト埋込み金属3とスルーホール埋込み金属6とによって挟まれた第1の配線4の領域の拡大図である。図12に示す多層配線構造では、第1の配線4は、Ti膜4a、Cuを添加したAl合金4bおよび高融点金属または高融点金属合金の膜としてのTiN膜4cが積層されてなり、上層側プラグとしてのスルーホール埋込み金属6と、TiN膜4cを介して接触している。

【0052】図12に示す多層配線構造は、基本的には、図9に示す第3の実施形態に係る方法と同様にして製造される。ただし、第2の絶縁膜5にスルーホール開口部5aをドライエッチング等によって形成する際に、第1の配線4のTiN膜4cを除去しないで残しておく。

【0053】本実施形態に係る半導体装置の多層配線構造によると、第1の配線4とスルーホール埋込み金属6とがTiN膜4cを介して接触しているため、このTiN膜4cによって、スルーホール埋込み金属6による応力が緩和される。したがって、ボイドの発生を抑えることができ、ストレスマイグレーションによる抵抗上昇を防ぐことができる。

【0054】(第6の実施形態)図1(a)の試料において、第1の配線4の下層に、TiとTiNとの2層膜の代わりに高融点金属膜としてのTi膜を形成し、このTi膜の膜厚を0~120nmの範囲で設定変更して、それぞれ不良率を測定した。図13はこのような測定によって得られた、Ti膜の膜厚と不良率との関係を示すグラフである。ここでは、各試料を250℃において168時間保存し、抵抗変動が20%を超えたものを不良と判定して、不良率を求めている。

【0055】図13から分かるように、Ti膜の膜厚が50nmのとき、不良率は最大になり、Ti膜が0nmおよび100nm以上において、不良率は0になる。Ti膜の膜厚と不良率との関係が図13のようになる理由は、次のように考えられる。第1の配線4にかかる応力はTi膜によって緩和され、膜厚が大きいほど、この応力緩和の効果は大きい。一方、Ti膜があると、アルミ合金中のSiがTi膜4aに吸い出されて、アルミ合金内に空隙(Vacancy)が生じやすくなる。したがって、応力緩和の効果とアルミ合金内の空隙の生じやすさとの兼ね合いによって、Ti膜の膜厚と不良率との関係は図13のようになると考えられる。

【0056】したがって、Ti膜の膜厚として10nm~80nmの範囲を除外することによって、すなわち、Ti膜の膜厚を10nm以下または80nm以上にすることによって、ストレスマイグレーション不良が生じにくい、良好な多層配線構造を形成することができる。

【0057】なお、各実施形態では、2層配線構造を例にとって説明を行ったが、3層以上の多層配線構造においても、本発明は同様に実現することができる。

【0058】また、各実施形態は、そのいずれかを組み合わせることで実施してもかまわない。例えば、第1の実施形態と第2の実施形態とを組み合わせ、上層側プラグと配線との接触面の中心と下層側プラグと配線との接触面の中心との間の距離が上層側および下層側プラグの径のほぼ2/3以上に設定され、かつ、配線層の下面に形成された、下層側プラグが接触する突出部の高さが上層側および下層側プラグの径のほぼ1/3以下に設定された多層配線構造を構成してもよい。同様に、第2の実施形態と第3の実施形態とを組み合わせたり、第1~第3の実施形態を組み合わせてもかまわない。

【0059】

【発明の効果】以上のように、本発明によると、上層側プラグと下層側プラグとに挟まれた領域における応力に起因する配線の信頼性の低下を抑えることができるので、ストレスマイグレーションによる抵抗上昇を抑えることができる。

【図面の簡単な説明】

【図1】半導体装置の多層配線構造におけるスタック構造の影響を電氣的に検知するための試料の構造を示す図であり、(a)はこの試料の断面図、(b)は(a)の

試料の一部分の斜視図である。

【図2】本発明の解決課題を示す特性図であり、(a)は図1に示す試料の高温保存時間と不良率との関係を表すグラフ、(b)は図1に示す試料の高温保存後の配線幅と抵抗変動との関係を表すグラフである。

【図3】本発明の解決課題を示す特性図であり、図1に示す試料の保存温度と累積故障到達時間との関係を示すグラフである。

【図4】本発明の解決課題を示す特性図であり、配線構造と良品率との関係を示す図である。

【図5】図1に示す配線構造であって高温保存後に不良になったものを、透過型電子顕微鏡によって観察した結果を示す断面図である。

【図6】(a)、(b)は図5の配線構造において、温度変化時に生じる内部応力を有限要素法によってシミュレーションした結果を示す図である。

【図7】本発明の第1の実施形態を説明するための図であり、上層側プラグと下層側プラグの重なり度合と良品率との関係を示すグラフである。

【図8】(a)は本発明の第2の実施形態に係る半導体装置の多層配線構造を示す断面図、(b)はリセスd1と不良率との関係を示すグラフである。

【図9】(a)~(f)は本発明の第3の実施形態に係る半導体装置の多層配線構造の製造方法を示す工程断面図である。

【図10】本発明の第3の実施形態に係る実験を説明するための図であり、(a)は実験に用いた試料の断面構造を示す図、(b)はスパッタリング時の堆積温度と下層側プラグ上の配線凹部の深さd2との関係を示すグラフである。

【図11】(a)~(e)は本発明の第4の実施形態に係る半導体装置の多層配線構造の製造方法を示す工程断面図である。

【図12】本発明の第5の実施形態に係る半導体装置の多層配線構造を示す断面図である。

【図13】本発明の第6の実施形態を説明するための図であり、配線下層Ti膜の膜厚と不良率との関係を示すグラフである。

【符号の説明】

- 1 半導体基板
- 2 第1の絶縁膜
- 2a コンタクト開口部(第1の開口部)
- 3 コンタクト埋込み金属(下層側プラグ)
- 4 第1の配線(一の配線層に形成された配線)
- 4a Ti膜(高融点金属膜)
- 4c TiN膜(高融点金属または高融点金属合金の膜)
- 4H 突出部
- 4I 陥没部
- 5 第2の絶縁膜

【手続補正書】

【提出日】平成11年8月16日(1999. 8. 16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板と、この基板上に形成された2層以上の配線層と、

前記2層以上の配線層のうちの一の配線層に形成された、少なくとも、アルミニウムまたはアルミニウム合金からなる層と、この層の下側に形成された高融点金属、高融点金属合金またはこれらの複合からなる層とを有する配線と、その上層配線とを電気的に接続する上層側プラグと、

前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、

前記配線は、相対向する前記上層側および下層側プラグに挟まれた領域に、結晶粒界を有しないように構成した半導体装置の多層配線構造。

【請求項2】 基板と、この基板上に形成された2層以上の配線層と、

前記2層以上の配線層のうち一の配線層に形成された配線とその上層配線とを電気的に接続する上層側プラグと、

前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、

前記一の配線層の上面に、前記上層側プラグが接触する陥没部が形成されており、この陥没部の前記一の配線層の上面から陥没する深さは、前記上層側および下層側プラグの径のほぼ $1/3$ 以下に設定されている半導体装置の多層配線構造。

【請求項3】 基板と、この基板上に形成された2層以上の配線層と、

前記2層以上の配線層のうち一の配線層に形成された配線とその上層配線とを電気的に接続する上層側プラグと、

前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、

前記配線と、前記上層側および下層側プラグのうちの少なくとも一方との、材料の熱膨張係数の差は、前記配線の前記上層側および下層側プラグに挟まれた領域にボイドが生じない程度に小さくしていることを特徴とする半導体装置の多層配線構造。

【請求項4】 請求項3記載の半導体装置の多層配線構

造において、

前記配線と、前記上層側および下層側プラグのうちの少なくとも一方とは、同一材料によって形成されていることを特徴とする半導体装置の多層配線構造。

【請求項5】 請求項4記載の半導体装置の多層配線構造において、

前記配線と、前記上層側および下層側プラグのうちの少なくとも一方とは、ともに、アルミニウムもしくはアルミニウム合金からなるか、または、アルミニウムもしくはアルミニウム合金と、高融点金属、高融点金属合金もしくはこれらの複合層との積層構造からなることを特徴とする半導体装置の多層配線構造。

【請求項6】 基板と、この基板上に形成された2層以上の配線層と、

前記2層以上の配線層のうち一の配線層に形成された配線とその上層配線とを電気的に接続する上層側プラグと、

前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、

前記一の配線層は、その下面側に高融点金属膜が形成されており、この高融点金属膜の膜厚は、 10 nm 以下に設定されていることを特徴とする半導体装置の多層配線構造。

【請求項7】 基板上に形成された第1の絶縁膜に第1の開口部を形成し、この第1の開口部に下層側プラグを形成する工程と、

前記第1の絶縁膜および下層側プラグ上に配線を形成する工程と、

前記配線の上に第2の絶縁膜を形成し、この第2の絶縁膜に、前記第1の開口部に対向する第2の開口部を形成し、この第2の開口部に上層側プラグを形成する工程とを備え、

前記下層側プラグ形成工程は、CMP法またはエッチバック法を用いて、前記下層側プラグの上面と前記第1の絶縁膜の上面との距離が、前記上層側および下層側プラグの径のほぼ $1/3$ 以下になるように行う半導体装置の多層配線構造の製造方法。

【請求項8】 基板上に形成された第1の絶縁膜に第1の開口部を形成し、この第1の開口部に下層側プラグを形成する工程と、

前記第1の絶縁膜および下層側プラグ上に、少なくとも、アルミニウムまたはアルミニウム合金からなる層と、この層の下側に形成された高融点金属、高融点金属合金またはこれらの複合からなる層とを有する配線とを形成する工程と、

前記配線の上に第2の絶縁膜を形成し、この第2の絶縁膜に、前記第1の開口部に対向する第2の開口部を形成し、この第2の開口部に上層側プラグを形成する工程と

を備え、

前記配線形成工程は、前記配線が、相対向する前記上層側および下層側プラグに挟まれた領域に結晶粒界を有しないように、前記配線のアルミニウムまたはアルミニウム合金の層を、スパッタリングによって、ほぼ200℃以上の堆積温度において形成する半導体装置の多層配線構造の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】前記の課題を解決するために、請求項1の発明が講じた解決手段は、半導体装置の多層配線構造として、基板と、この基板上に形成された2層以上の配線層と、前記2層以上の配線層のうちの一の配線層に形成された、少なくとも、アルミニウムまたはアルミニウム合金からなる層と、この層の下側に形成された高融点金属、高融点金属合金またはこれらの複合からなる層とを有する配線と、その上層配線とを電気的に接続する上層側プラグと、前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、前記配線は、相対向する前記上層側および下層側プラグに挟まれた領域に、結晶粒界を有しないように構成したものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】また、請求項6の発明が講じた解決手段は、半導体装置の多層配線構造として、基板と、この基板上に形成された2層以上の配線層と、前記2層以上の配線層のうちの一の配線層に形成された配線とその上層配線とを電気的に接続する上層側プラグと、前記上層側プラグと前記配線を挟んで相対向して設けられ、前記配線とその下層配線または前記基板とを電気的に接続する下層側プラグとを備え、前記一の配線層は、その下面側に高融点金属膜が形成されており、この高融点金属膜の膜厚は、10nm以下に設定されているものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】また、請求項8の発明が講じた解決手段は、半導体装置の多層配線構造の製造方法として、基板上に形成された第1の絶縁膜に第1の開口部を形成し、この第1の開口部に下層側プラグを形成する工程と、前記第1の絶縁膜および下層側プラグ上に、少なくとも、アルミニウムまたはアルミニウム合金からなる層と、この層の下側に形成された高融点金属、高融点金属合金またはこれらの複合からなる層とを有する配線を形成する工程と、前記配線上に第2の絶縁膜を形成し、この第2の絶縁膜に、前記第1の開口部に対向する第2の開口部を形成し、この第2の開口部に上層側プラグを形成する工程とを備え、前記配線形成工程は、前記配線が、相対向する前記上層側および下層側プラグに挟まれた領域に結晶粒界を有しないように、前記配線のアルミニウムまたはアルミニウム合金の層を、スパッタリングによって、ほぼ200℃以上の堆積温度において形成するものである。

フロントページの続き

(72)発明者 加藤 義明

大阪府高槻市幸町1番1号 松下電子工業株式会社内

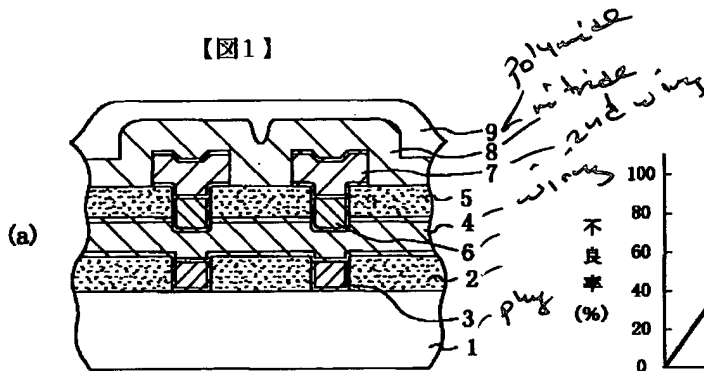
(72)発明者 矢野 航作

大阪府高槻市幸町1番1号 松下電子工業株式会社内

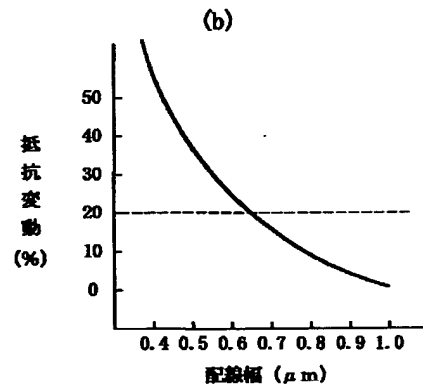
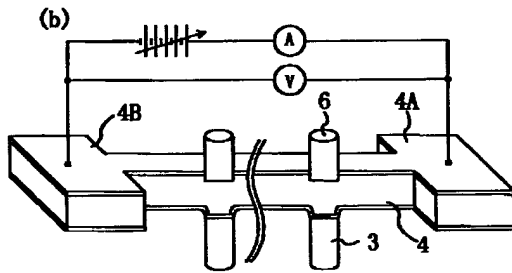
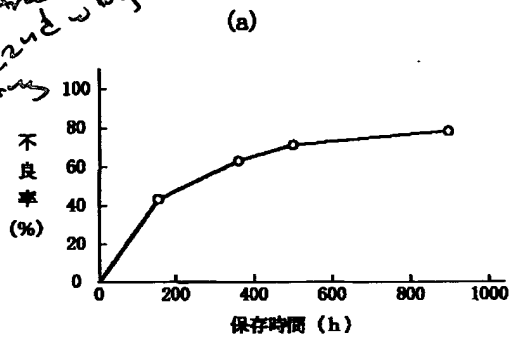
- 5a スルーホール開口部（第2の開口部）
 6 スルーホール埋込み金属（上層側プラグ）
 7 第2の配線（上層配線）

- 40 ボイド
 45 結晶粒界

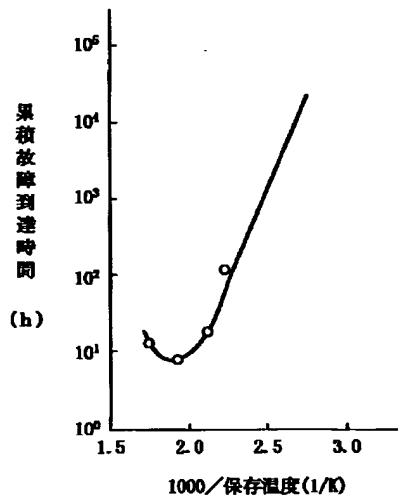
【図1】



【図2】

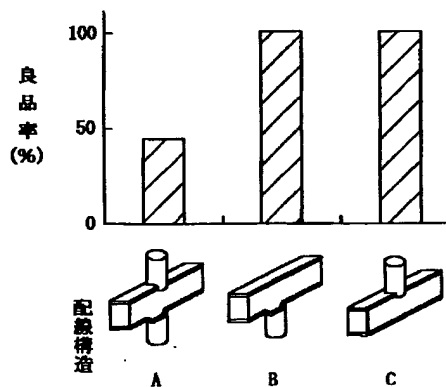


【図3】

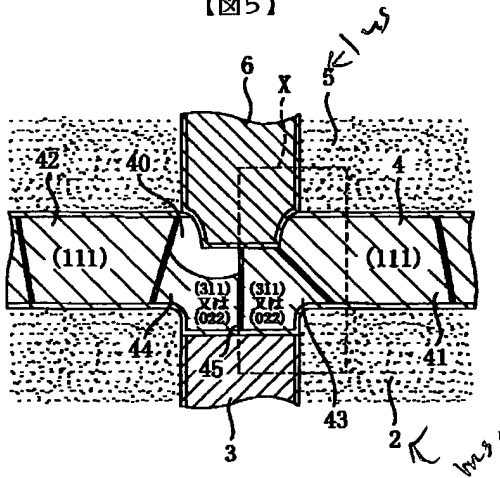


【図4】

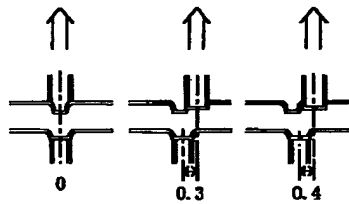
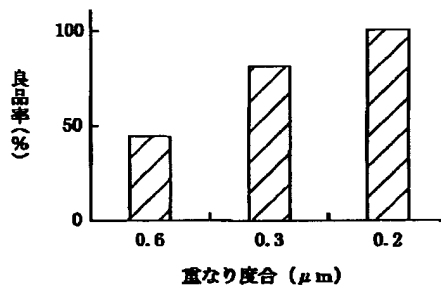
200℃, 1000時間



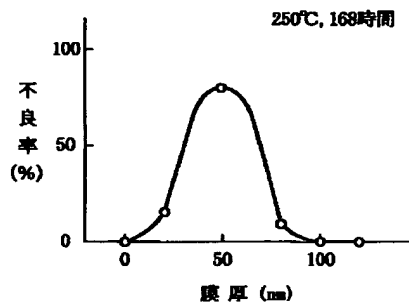
【図5】



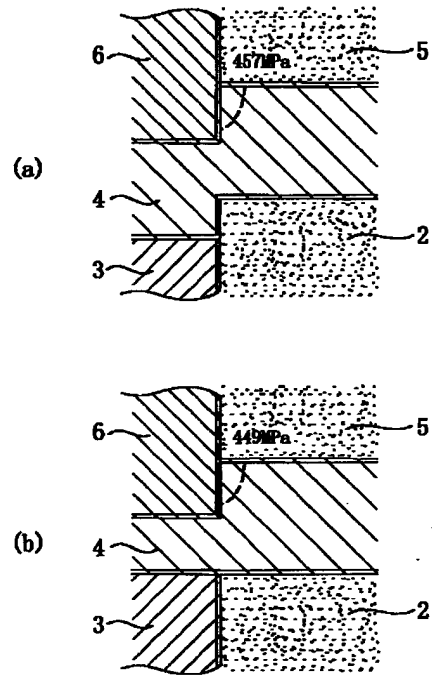
【図7】



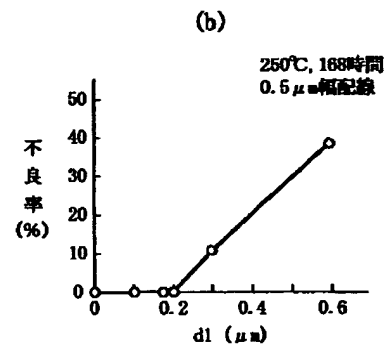
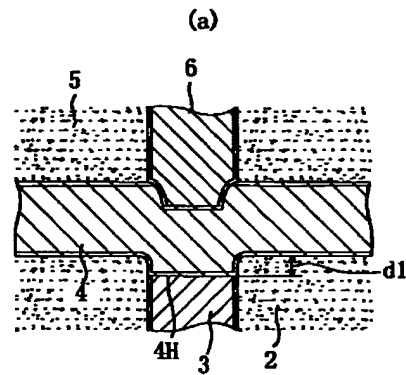
【図13】



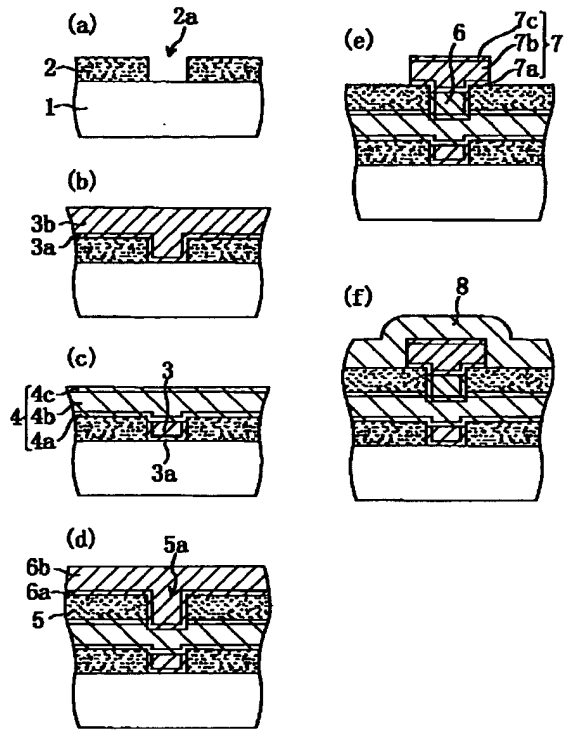
【図6】



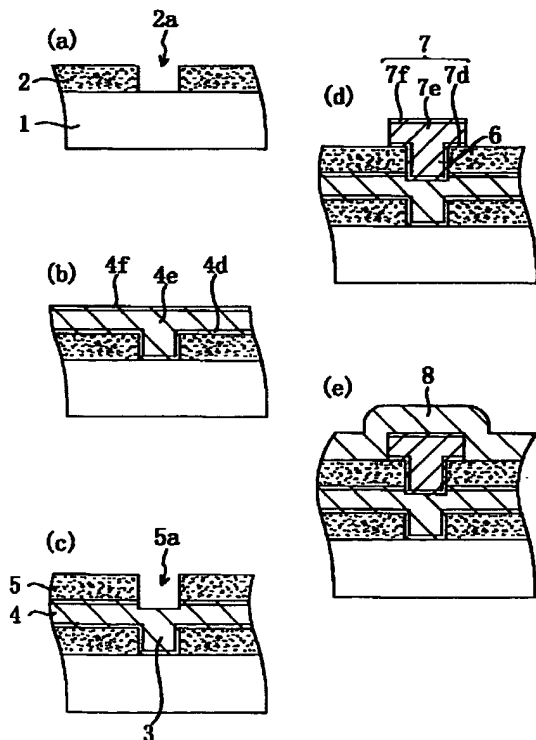
【図8】



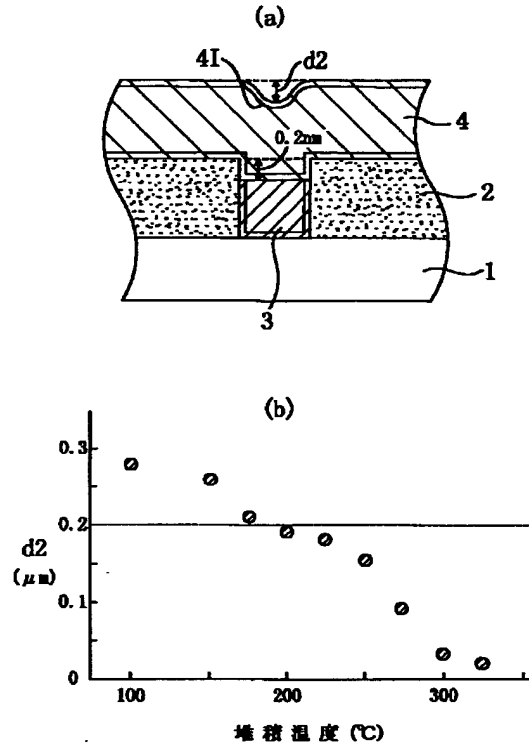
【図9】



【図11】



【図10】



【図12】

